

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 1 2 日
Date of Application:

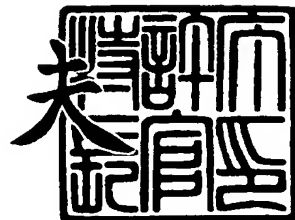
出 願 番 号 特 願 2 0 0 3 - 0 6 6 3 7 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 6 6 3 7 4]

出 願 人 T D K 株 式 有 限 公 司
Applicant(s):

2 0 0 4 年 2 月 1 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 1 0 3 8

【書類名】 特許願

【整理番号】 P03007

【提出日】 平成15年 3月12日

【あて先】 特許庁長官殿

【国際特許分類】 H01G 4/12
H01G 4/30

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【氏名】 富樫 正明

【発明者】

【住所又は居所】 秋田県由利郡仁賀保町平沢字前田 1 5 1 ティーディーケイ エムシーシー株式会社内

【氏名】 今井 一郎

【特許出願人】

【識別番号】 000003067

【氏名又は名称】 ティーディーケイ株式会社

【代理人】

【識別番号】 100101269

【弁理士】

【氏名又は名称】 飯塚 道夫

【電話番号】 03-5951-0615

【手数料の表示】

【予納台帳番号】 065766

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1



【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 積層コンデンサ

【特許請求の範囲】

【請求項 1】 誘電体層を積層して形成された誘電体素体と、
相互間が誘電体層で隔てられ且つ、それぞれ誘電体素体内に配置される一対の
第 1 内部導体と、

第 1 内部導体と誘電体層で隔てられると共に相互間が誘電体層で隔てられ且つ
、それぞれ誘電体素体内に配置される一対の第 2 内部導体と、

を有した積層コンデンサであって、

これら二対の内部導体にそれぞれ切込部が形成されると共に、これら二対の内
部導体の切込部周りの部分が電流が流れ得る流路部とそれぞれされ、

誘電体層を介して隣り合っている内部導体の流路部同士間で相互に逆向きに電
流が流れる形に、これら流路部がそれぞれ配置されることを特徴とする積層コン
デンサ。

【請求項 2】 一対の第 1 内部導体の内の一方の第 1 内部導体からこの第 1
内部導体の幅と同一の幅で第 1 引出部が誘電体素体の側面に向かって引き出され
、

一対の第 2 内部導体の内の一方の第 2 内部導体からこの第 2 内部導体の幅と同
一の幅で第 2 引出部が誘電体素体の側面に向かって引き出され、

これら第 1 引出部の全幅及び第 2 引出部の全幅でそれぞれ接続される一対の端
子電極が、誘電体素体の側面にそれぞれ設けられることを特徴とする請求項 1 記
載の積層コンデンサ。

【請求項 3】 一対の第 1 内部導体及び一対の第 2 内部導体が、誘電体素体
内に複数ずつ配置されたことを特徴とする請求項 1 或いは請求項 2 に記載の積層
コンデンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、等価直列インダクタンス（ESL）を大幅に低減した積層コンデン

サに係り、特にCPU用の電源の電圧変動を小さくし得る積層セラミックコンデンサに好適なものである。

【0002】

【従来の技術】

近年、情報処理装置に用いられるCPU（主演算処理装置）は、処理スピードの向上及び高集積化によって、動作周波数が高くなる共に消費電流が著しく増加している。そしてこれに伴い、消費電力の低減化によって動作電圧が減少する傾向にあった。従って、CPUに電力を供給する為の電源では、より高速で大きな電流変動が生じるようになり、この電流変動に伴う電圧変動をこの電源の許容値内に抑えることが非常に困難になった。

【0003】

この為、図7に示すように、デカップリングコンデンサと呼ばれる積層コンデンサ100が電源102に接続される形で、電源の安定化対策に頻繁に使用されるようになった。そして、電流の高速で過渡的な変動時に素早い充放電によって、この積層コンデンサ100からCPU104に電流を供給して、電源102の電圧変動を抑えるようにしている。

【0004】

【特許文献1】

特開平11-144996号公報

【特許文献2】

特開2001-284171号公報

【特許文献3】

特開2002-151349号公報

【特許文献4】

特開2002-231559号公報

【特許文献5】

特開2002-164256号公報

【0005】

【発明が解決しようとする課題】

しかし、今日のCPUの動作周波数の一層の高周波数化に伴って、電流変動はより高速且つ大きなものとなっていた。この為、図7に示す積層コンデンサ100自身が有している等価直列インダクタンス（ESL）が相対的に大きくなる結果として、この等価直列インダクタンスが電源の電圧変動に大きく影響するようになった。

【0006】

つまり、図7に示すCPU104の電源回路に用いられる従来の積層コンデンサ100では、この図7における等価回路に示された寄生成分であるESLが高いことから、図8に示す電流Iの変動に伴って、このESLが積層コンデンサ100の充放電を阻害するようになる。この為、上記と同様に電源の電圧Vの変動が図8のように大きくなり易く、今後のCPUの高速化には適応できなくなりつつあった。

【0007】

この理由は、電流の過渡時である充放電時における電圧変動が下記の式1で近似され、ESLの高低が電源の電圧変動の大きさと関係するからである。

$$dV = ESL \cdot di / dt \cdots \text{式1}$$

ここで、dVは過渡時の電圧変動（V）であり、iは電流変動量（A）であり、tは変動時間（秒）である。

【0008】

一方、ここでこの従来のコンデンサの外観を図9に示すと共に内部構造を図10に示し、これらの図を基にして以下に従来の積層コンデンサ100を説明する。つまり、静電容量が得られるように、図9に示す従来の積層コンデンサ100は、図10に示す二種類の内部導体114、116をそれぞれ設置した一対のセラミック層112Aが交互に積層されて、誘電体素体112が形成される構造となっている。

【0009】

そして、これら二種類の内部導体114、116は、誘電体素体112の相互に対向する二つの側面112B、112Cにそれぞれ引き出されていて、内部導体114に接続される端子電極118及び、内部導体116に接続される端子電

極 120 が、図 9 に示す積層コンデンサ 100 の相互に対向する側面 112B、112C にそれぞれ設置された構造となっている。

本発明は上記事実を考慮し、等価直列インダクタンスを大幅に低減して CPU 用の電源の電圧変動を小さくできる積層コンデンサを提供することを目的とする。

【0010】

【課題を解決するための手段】

請求項 1 による積層コンデンサは、誘電体層を積層して形成された誘電体素体と、

相互間が誘電体層で隔てられ且つ、それぞれ誘電体素体内に配置される一対の第 1 内部導体と、

第 1 内部導体と誘電体層で隔てられると共に相互間が誘電体層で隔てられ且つ、それぞれ誘電体素体内に配置される一対の第 2 内部導体と、

を有した積層コンデンサであって、

これら二対の内部導体にそれぞれ切込部が形成されると共に、これら二対の内部導体の切込部周りの部分が電流が流れ得る流路部とそれぞれされ、

誘電体層を介して隣り合っている内部導体の流路部同士間で相互に逆向きに電流が流れる形に、これら流路部がそれぞれ配置されることを特徴とする。

【0011】

請求項 1 に係る積層コンデンサによれば、誘電体層を積層して形成された誘電体素体内に、誘電体層を介して隔てられつつ一対の第 1 内部導体がそれぞれ配置される。さらに、これら第 1 内部導体と誘電体層で隔てられると共に相互間が誘電体層で隔てられる一対の第 2 内部導体が、それぞれ誘電体素体内に配置されている。そして、一対の第 1 内部導体が、相互に対向しつつ並列に配置されるコンデンサの電極とされ、また、一対の第 2 内部導体が、相互に対向しつつ並列に配置されるコンデンサの電極とされている。

【0012】

一方、本請求項では、これら二対で計 4 種類存在することになる内部導体が、それぞれ切込部を有し、この切込部の周りの内部導体の部分が流路部を構成して

いるだけでなく、誘電体層を介して隣り合っている別の内部導体の流路部との間で相互に逆向きに電流が流れる形に、流路部がそれぞれ配置されている。

【0013】

従って、この積層コンデンサへの通電の際に、誘電体層を介して隣り合う上下の流路部同士間で、電流が相互に逆方向に流れるようになる。そしてこれに伴って、内部導体に流れる高周波電流により発生する磁束が互いに打ち消し合うように相殺され、積層コンデンサ自体が持つ寄生インダクタンスを少なくすることで、等価直列インダクタンス（ESL）が低減される。さらに、同一の内部導体内においても、切込部を挟んで位置する流路部の部分間で、電流の流れる方向が相互に逆なるので、等価直列インダクタンスが一層低減されるようになる。

【0014】

以上より、本請求項に係る積層コンデンサでは、一層の低ESL化が図られて、実効インダクタンスが大幅に低減されるようになる。この結果、本請求項によれば電源の電圧の振動を確実に抑制できて、CPUの電源用として最適な積層コンデンサが得られる。

【0015】

請求項2に係る積層コンデンサによれば、請求項1の積層コンデンサと同様の構成の他に、一对の第1内部導体の内の一方の第1内部導体からこの第1内部導体の幅と同一の幅で第1引出部が誘電体素体の側面に向かって引き出され、一对の第2内部導体の内の一方の第2内部導体からこの第2内部導体の幅と同一の幅で第2引出部が誘電体素体の側面に向かって引き出され、これら第1引出部の全幅及び第2引出部の全幅でそれぞれ接続される一对の端子電極が、誘電体素体の側面にそれぞれ設けられるという構成を有している。

【0016】

従って、一对の第1内部導体の内の一方から引き出される第1引出部及び、一对の第2内部導体の内の一方から引き出される第2引出部が、それぞれ内部導体の幅と同一の幅とされ、これら引出部の全幅で一对の端子電極とそれぞれ接続されているので、これらの内部導体と端子電極との間がより確実に接続されるようになる。

【0017】

請求項3に係る積層コンデンサによれば、請求項1及び請求項2の積層コンデンサと同様の構成の他に、一对の第1内部導体及び一对の第2内部導体が、誘電体素体内に複数ずつ配置されたという構成を有している。

従って、これら二対の内部導体をそれぞれ誘電体素体内に複数ずつ配置することで、本請求項に係る積層コンデンサの静電容量が高まるだけでなく、磁界を相殺する作用がさらに大きくなり、インダクタンスがより大幅に減少してESLが一層低減されるようになる。

【0018】

【発明の実施の形態】

以下、本発明に係る積層コンデンサの一実施の形態を図面に基づき説明する。

本実施の形態に係る積層コンデンサである積層セラミックコンデンサ（以下単に、積層コンデンサと言う）10を図1から図5に示す。これらの図に示すように、誘電体シートであるセラミックグリーンシートを複数枚積層した積層体を焼成することで得られた直方体形状の焼結体である誘電体素体12を主要部として、この積層コンデンサ10が構成されている。

【0019】

図1、図3及び図4に示すように、この誘電体素体12内の所定の高さ位置には、面状の内部導体14が配置されており、誘電体素体12内において誘電体層とされるセラミック層12Aを隔てた内部導体14の下側には、同じく面状の内部導体16が配置されている。誘電体素体12内においてセラミック層12Aを隔てた内部導体16の下側には、同じく面状の内部導体18が配置されており、誘電体素体12内においてセラミック層12Aを隔てた内部導体18の下側には、同じく面状の内部導体20が配置されている。この為、これら内部導体14から内部導体20が誘電体素体12内においてセラミック層12Aで隔てられつつ相互に対向して配置されることになる。

【0020】

つまり、本実施の形態では、焼成後の誘電体シートであるセラミック層12Aがそれぞれの間に挟まれつつ、内部導体14から内部導体20が順に誘電体素体

12内に配置されており、さらに内部導体20の下側には、図3及び図4に示すように上記と同じ順序でこれら4層の電極である内部導体が繰返されてこれらの組が、例えば計100組程度（図では3組）配置されている。

【0021】

そして、これら内部導体14、16、18、20の中心は、誘電体素体12の中心とほぼ同位置に配置されており、また、内部導体14から内部導体20の縦横寸法は、対応する誘電体素体12の辺の長さより小さくされている。尚、これらそれぞれ略長方形に形成された内部導体14、16、18、20の材質としては、卑金属材料であるニッケル、ニッケル合金、銅或いは、銅合金が考えられるだけでなく、これらの金属を主成分とする材料が考えられる。

【0022】

さらに、図1に示すように、内部導体14には、この内部導体14の左側の端部から左側方向に向かって内部導体14の全幅で引き出されるように、引出部14Aが形成されている。また、内部導体16の手前側中央部から手前側方向に向かって導体が引き出されることで、この内部導体16に引出部16Aが形成されている。一方、内部導体18には、この内部導体18の右側寄りの部分から右側方向に向かって内部導体18の全幅で引き出されるように、引出部18Aが形成されている。また、内部導体20の奥側中央部から奥側方向に向かって導体が引き出されることで、この内部導体20に引出部20Aが形成されている。

【0023】

以上より、図2に示す誘電体素体12の左右側で相互に対向する二つの側面12B、12Dに向かって引き出される幅広の引出部14A、18Aを二つの内部導体14、18がそれぞれ有していることになる。さらに、誘電体素体12の手前側と奥側で相互に対向する二つの側面12C、12Eに向かって引き出される幅狭の引出部16A、20Aを二つの内部導体16、20がそれぞれ有していることになる。

【0024】

他方、図2に示すように、左側の側面12Bには、内部導体14の引出部14Aの全幅で引出部14Aに接続されるように、この側面12Bの全幅にわたるよ

うな大きさの端子電極 24 が配置されており、右側の側面 12D には、内部導体 18 の引出部 18A の全幅で引出部 18A に接続されるように、この側面 12D の全幅にわたるような大きさの端子電極 28 が配置されている。

【0025】

また、手前側の側面 12C には、引出部 16A を介して内部導体 16 に接続される幅狭の端子電極 26 が配置されることになり、奥側の側面 12E には、引出部 20A を介して内部導体 20 に接続される幅狭の端子電極 30 が配置されることになる。以上より本実施の形態では、直方体である六面体形状とされる誘電体素体 12 の 4 つの側面 12B ~ 12E に各端子電極 24 ~ 30 がそれぞれ配置されることになる。

【0026】

さらに、図 1 において左右方向に延びる切込部 22 が内部導体 14 ~ 20 の中央部にそれぞれ設けられている。この内の内部導体 14 における切込部 22 の左側寄りの部分は手前側方向に屈曲して、内部導体 14 の手前側端部までこの切込部 22 は伸びている。また、内部導体 16 における切込部 22 の右側寄りの部分は同様に手前側方向に屈曲して、内部導体 16 の引出部 16A の右側部分までこの切込部 22 は伸びている。

【0027】

内部導体 18 における切込部 22 の右側寄りの部分は奥側方向に屈曲して、内部導体 18 の奥側端部までこの切込部 22 は伸びている。また、内部導体 20 における切込部 22 の左側寄りの部分は同様に奥側方向に屈曲して、内部導体 20 の引出部 20A の左側部分までこの切込部 22 は伸びている。

【0028】

そして、切込部 22 の存在により内部導体 14 の電流の流路となる流路部 14B が屈曲した形で構成されており、同じく切込部 22 の存在により内部導体 16 の電流の流路となる流路部 16B が屈曲した形で構成されている。また、切込部 22 の存在により内部導体 18 の電流の流路となる流路部 18B が屈曲した形で構成されており、同じく切込部 22 の存在により内部導体 20 の電流の流路となる流路部 20B が屈曲した形で構成されている。従って、本実施の形態では、直

角に折り曲げられる部分や折り返される部分を複数有して帯状となった流路部を各内部導体 14～20 が有していることになる。

【0029】

一方、図 5 に等価回路を示すが、内部導体 14、16 が一つのコンデンサを構成する電極となるように、端子電極 24 が例えば CPU の電極に接続されると共に、端子電極 26 が例えば接地側に接続されるようになっていて、これら端子電極 24、26 同士が相互に逆の極性で使用される形となっている。同様に内部導体 18、20 が一つのコンデンサを構成する電極となるように、端子電極 28、30 同士が相互に逆の極性で使用される形となっている。

【0030】

これに伴って、例えば図 2 に示すように端子電極 24、28 が＋極になると同時に端子電極 26、30 が－極になるときは、図 1 の矢印で示す電流の向きのように、端子電極 24、28 にそれぞれ繋がる内部導体 14、18 の流路部 14B、18B では時計回転方向に沿って電流が流れ、また、端子電極 26、30 にそれぞれ繋がる内部導体 16、20 の流路部 16B、20B では反時計回転方向に沿って電流が流れるようになる。

【0031】

以上より、セラミック層 12A を介して隣り合う内部導体 14、16 の流路部 14B と流路部 16B との間において、相互に逆向きに電流が流れる形に、流路部 14B、16B はそれぞれ内部導体 14、16 に配置されていることになる。同じくセラミック層 12A を介して隣り合う内部導体 16、18 の流路部 16B と流路部 18B との間においても、相互に逆向きに電流が流れる形に、流路部 16B、18B はそれぞれ内部導体 16、18 に配置されていることになる。同じくセラミック層 12A を介して隣り合う内部導体 18、20 の流路部 18B と流路部 20B との間においても、相互に逆向きに電流が流れる形に、流路部 18B、20B はそれぞれ内部導体 18、20 に配置されていることになる。

【0032】

他方、本実施の形態では、内部導体 14、16 が一对の第 1 内部導体とされ、内部導体 18、20 が一对の第 2 内部導体とされている。また、内部導体 14 か

ら引き出される引出部 14 A が、この内部導体 14 の幅と同一の幅で引き出される第 1 引出部とされ、内部導体 18 から引き出される引出部 18 A が、この内部導体 18 の幅と同一の幅で引き出される第 2 引出部とされることになる。

【0033】

次に、本実施の形態に係る積層コンデンサ 10 の作用を説明する。

本実施の形態に係る積層コンデンサ 10 によれば、それぞれセラミック層 12 A となる複数の誘電体シートが積層されて直方体形状に形成される誘電体素体 12 内に、セラミック層 12 A で相互間が隔てられる形で一对の内部導体 14、16 がそれぞれ配置される構成を有している。

【0034】

さらに、これら一对の内部導体 14、16 とセラミック層 12 A で隔てられると共に相互間もセラミック層 12 A で隔てられる一对の内部導体 18、20 が、それぞれ誘電体素体 12 内に配置されている。そして、これら一对の内部導体 14、16 が、相互に対向しつつ並列に配置されるコンデンサの電極とされており、同じく一对の内部導体 18、20 も、相互に対向しつつ並列に配置されるコンデンサの電極とされている。

【0035】

一方、内部導体 14 からこの内部導体 14 の幅と同一の幅で引出部 14 A が誘電体素体 12 の左側の側面 12 B に向かって引き出されており、また、内部導体 18 からこの内部導体 18 の幅と同一の幅で引出部 18 A が誘電体素体 12 の右側の側面 12 D に向かって引き出されている。そして、これら引出部 14 A の全幅及び引出部 18 A の全幅でそれぞれ接続される一对の端子電極 24、28 が、誘電体素体 12 のこれら相互に対向する側面 12 B、12 D にそれぞれ設けられている。尚、これら側面 12 B、12 D と異なる側面 12 C には、内部導体 16 と接続される端子電極 26 が配置されており、同じく側面 12 E には、内部導体 20 と接続される端子電極 30 がそれぞれ配置されている。

【0036】

さらに、本実施の形態では、これら二対で計 4 種類存在することになる内部導体 14～20 が、それぞれ切込部 22 を有しており、この切込部 22 を挟んだ各

内部導体 14～20 の部分が流路部 14B～20B をそれぞれ構成しているだけでなく、セラミック層 12A を介して隣り合っている別の内部導体の流路部との間で相互に逆向きに電流が流れる形に、各流路部 14B～20B がそれぞれ配置されている。

【0037】

従って、この積層コンデンサ 10 への通電の際に、セラミック層 12A を介して隣り合う内部導体 14～20 の流路部 14B～20B 同士間で、電流が相互に逆方向に流れるようになる。そしてこれに伴って、内部導体に流れる高周波電流により発生する磁束が互いに打ち消し合うように相殺され、積層コンデンサ 10 自体が持つ寄生インダクタンスを少なくすることで、等価直列インダクタンス (ESL) が低減される。

【0038】

さらに、同一の内部導体 14～20 内においても、各流路部 14B～20B の切込部 22 を挟んで位置する部分間で、それぞれ電流の流れる方向が相互に逆なるので、等価直列インダクタンスが一層低減されるようになる。

【0039】

以上より、本実施の形態に係る積層コンデンサ 10 は、一層の低 ESL 化が図られて、実効インダクタンスが大幅に低減されるようになる。この結果、本実施の形態によれば、電源の電圧の振動を確実に抑制できて、CPU の電源用として最適な積層コンデンサ 10 となる。

【0040】

他方、本実施の形態では、内部導体 14 から引き出される引出部 14A 及び、内部導体 18 から引き出される引出部 18A が、それぞれ内部導体 14、18 の幅と同一の幅とされ、これら引出部の全幅で、相互に対向する誘電体素体 12 の側面 12B、12D にそれぞれ配置された一対の端子電極 24、28 とそれぞれ接続されているので、これらの内部導体 14、18 と端子電極 24、28 との間がより確実に接続されるようになる。

【0041】

一方、本実施の形態では、内部導体 14、16 及び内部導体 18、20 が、誘

電体素体 12 内に複数ずつ配置されているので、積層コンデンサ 10 の静電容量が高まるだけでなく、磁界を相殺する作用がさらに大きくなり、インダクタンスがより大幅に減少して ESL が一層低減されるようになる。

【0042】

次に、ネットワークアナライザを用いて、以下の各試料の S パラメータの S21 特性を測定し、各試料の減衰特性をそれぞれ求めた。まず、各試料となるサンプルの内容を説明する。つまり、コンデンサとして一般的な図 9 に示す積層コンデンサを従来例とし、図 2 に示す一実施の形態に係る積層コンデンサを実施例とした。

【0043】

ここで、減衰特性の実測値と図 7 に示す積層コンデンサ 100 内の等価回路の減衰量とが合致するように、等価回路の定数を算出した。そして、図 6 に示す各試料の減衰特性のデータから、20 MHz 以上の高周波数の帯域における実施例の減衰量が、従来例に比べて約 15 dB ほど増えていることが分かる。この為、このデータによって高周波特性の改善が実施例に見られることが理解できる。

【0044】

他方、算出した ESL に関しても、従来例の 845.3 pH に比べて実施例は 145.2 pH と大幅に低減されており、本発明の効果がこれらの値によっても実証されることが確認できた。尚、等価直列抵抗 (ESR) に関し、従来例は 5.5 mΩ であったのに対して、実施例は 7.8 mΩ であった。

【0045】

ここで用いた各試料の寸法に関し、図 9 及び図 2 に示すように長さ W 及び長さ L は、従来例及び実施例共に $W = 1.25 \text{ mm}$ 、 $L = 2.0 \text{ mm}$ であった。また、試験に用いた各試料の静電容量は、従来例が $1.001 \mu\text{F}$ であり、実施例が $0.968 \mu\text{F}$ であった。

【0046】

尚、上記実施の形態に係る積層コンデンサ 10 では、二対で計 4 種類の内部導体を有する構造とされているが、層数は実施の形態に示された数に限定されずさらに多数としても良い。

【0047】

【発明の効果】

本発明によれば、等価直列インダクタンスを大幅に低減してCPU用の電源の電圧変動を小さくできる積層コンデンサを提供することが可能となる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態に係る積層コンデンサの分解斜視図であって、この積層コンデンサの内部導体の部分をそれぞれ示す図である。

【図2】

本発明の一実施の形態に係る積層コンデンサを示す斜視図である。

【図3】

本発明の一実施の形態に係る積層コンデンサを示す断面図であって、図2の3-3矢視線断面図である。

【図4】

本発明の一実施の形態に係る積層コンデンサを示す断面図であって、図2の4-4矢視線断面図である。

【図5】

本発明の一実施の形態に係る積層コンデンサの等価回路を示す図である。

【図6】

各試料の減衰特性を表すグラフを示した図である。

【図7】

従来例の積層コンデンサを採用した回路図である。

【図8】

従来例の積層コンデンサを採用した回路における電流変動と電圧変動との関係を表すグラフを示した図である。

【図9】

従来例に係る積層コンデンサを示す斜視図である。

【図10】

従来例に係る積層コンデンサの内部導体の部分を示す分解斜視図である。

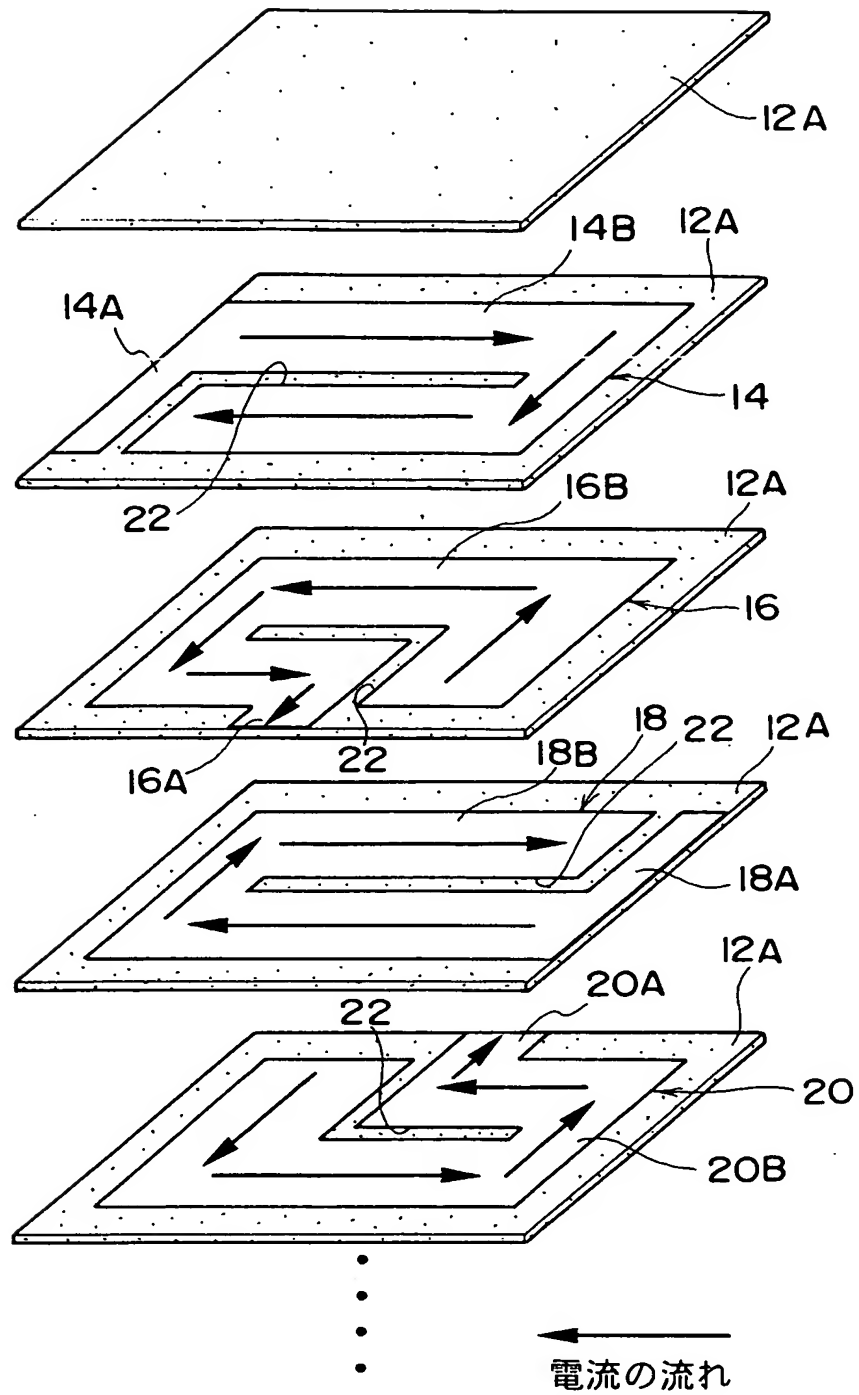
【符号の説明】

1 0	積層コンデンサ
1 2	誘電体素体
1 2 B	側面
1 2 C	側面
1 2 D	側面
1 2 C	側面
1 4、1 6	内部導体（第 1 内部導体）
1 4 A	引出部（第 1 引出部）
1 4 B、1 6 B	流路部
1 8、2 0	内部導体（第 2 内部導体）
1 8 A	引出部（第 2 引出部）
1 8 B、2 0 B	流路部
2 2	切込部
2 4	端子電極
2 8	端子電極

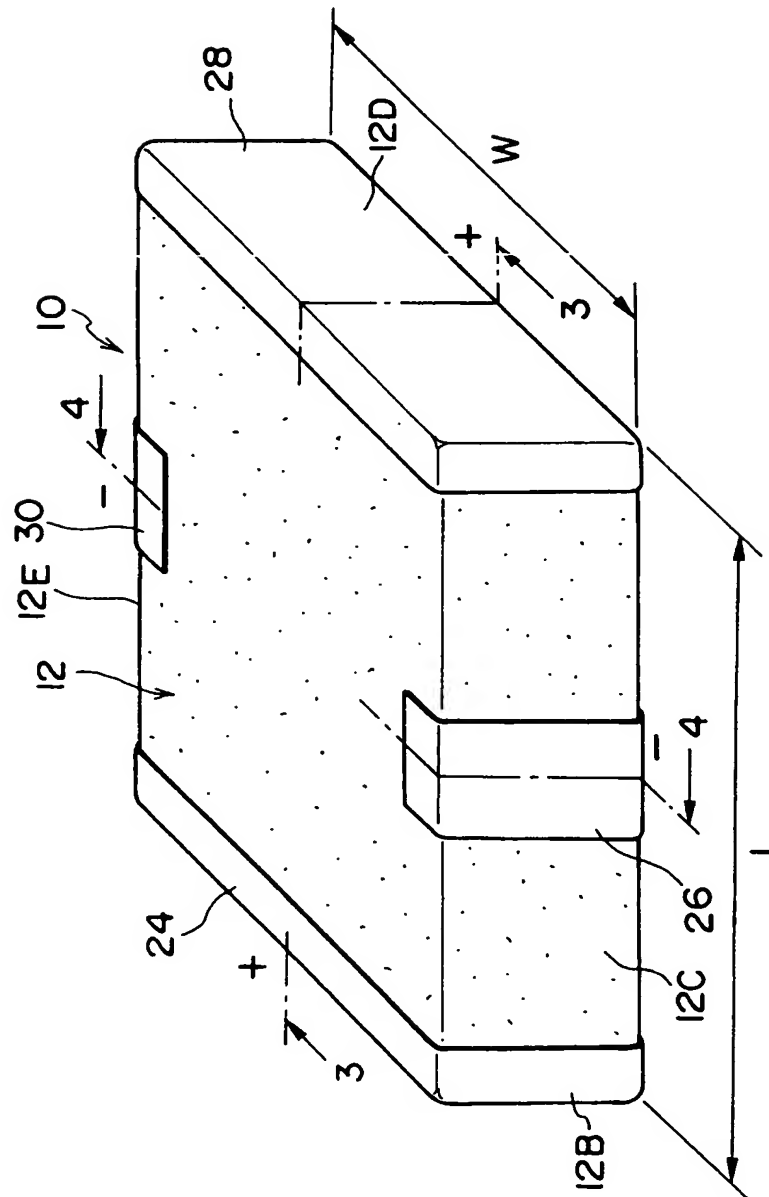
【書類名】

図面

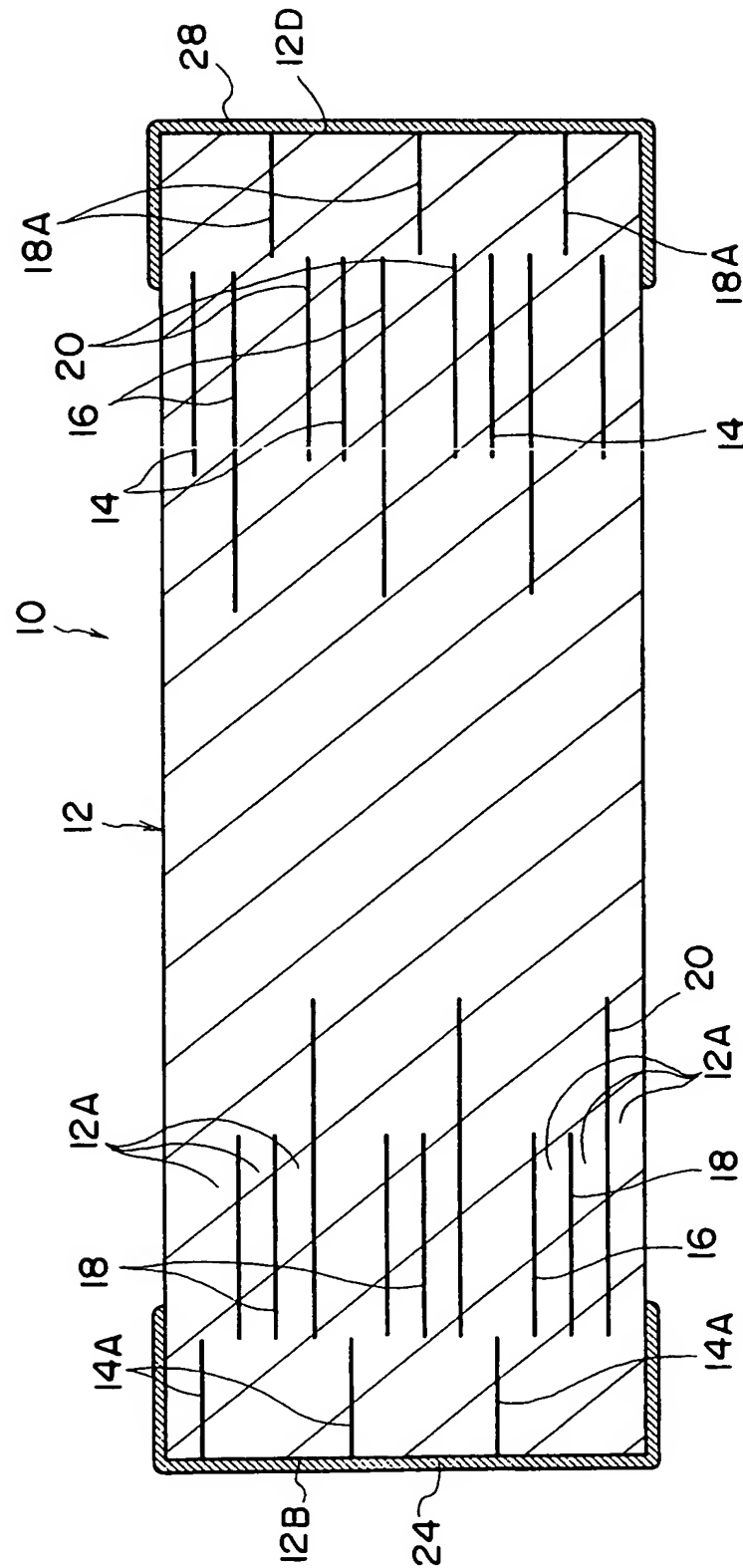
【図 1】



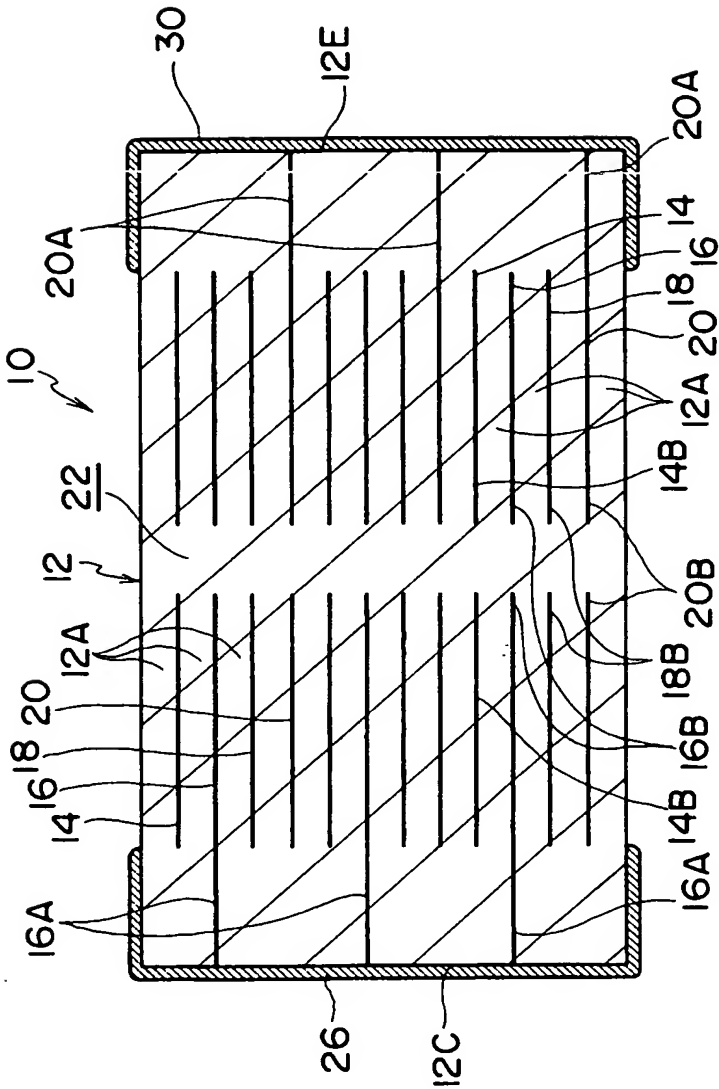
【図 2】



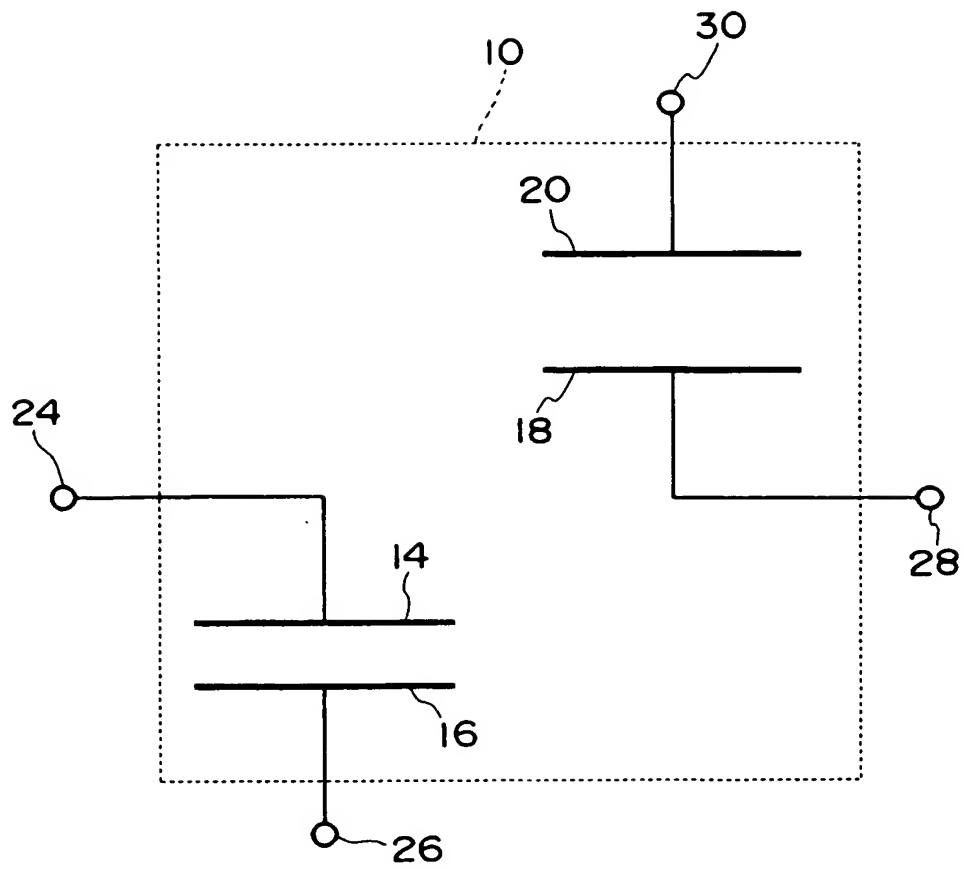
【図 3】



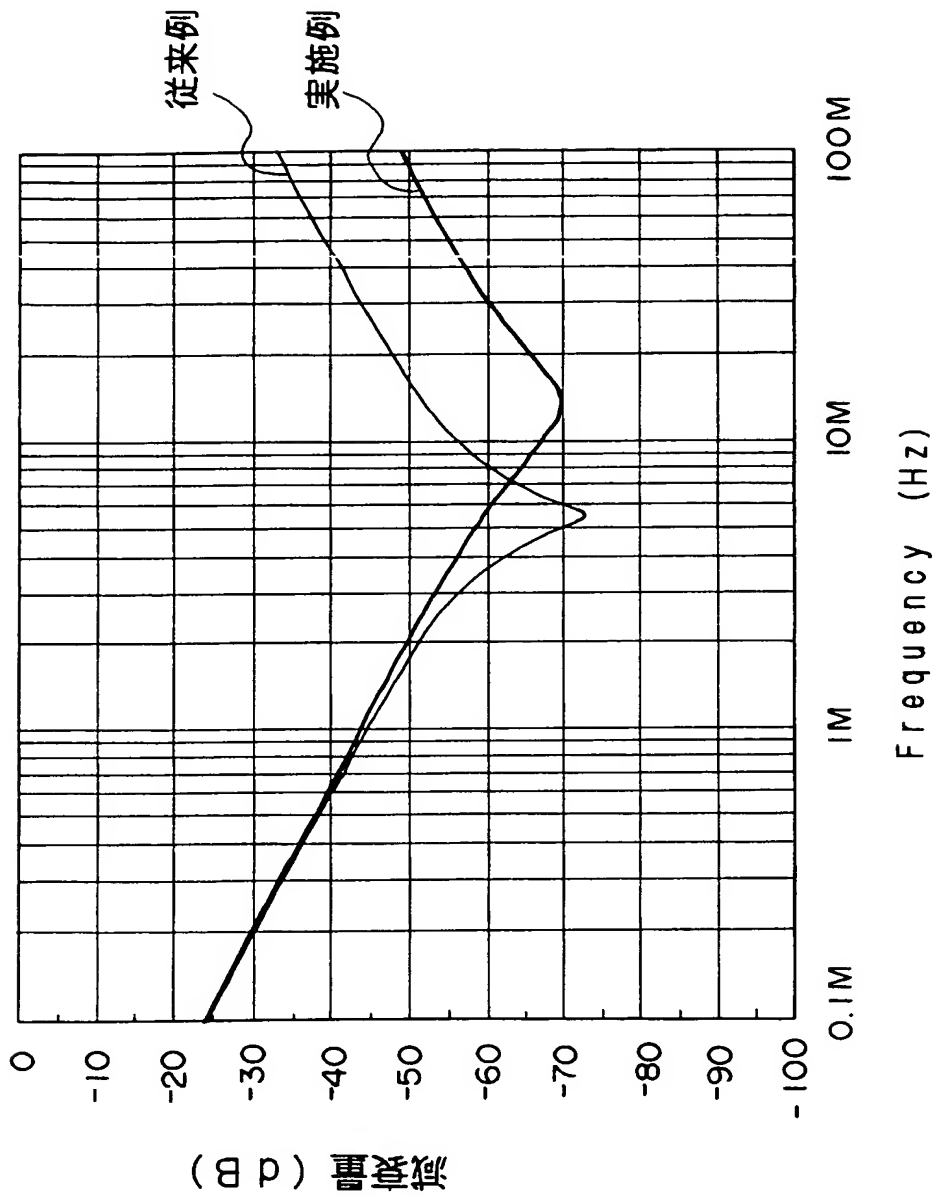
【図 4】



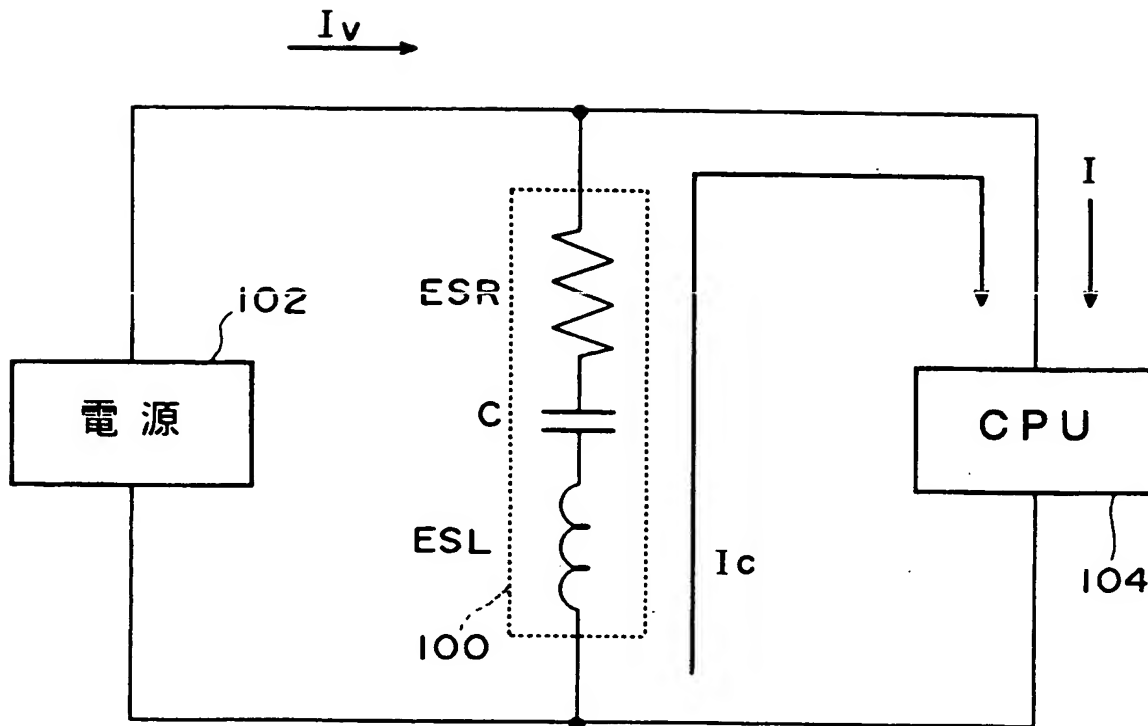
【図 5】



【図 6】

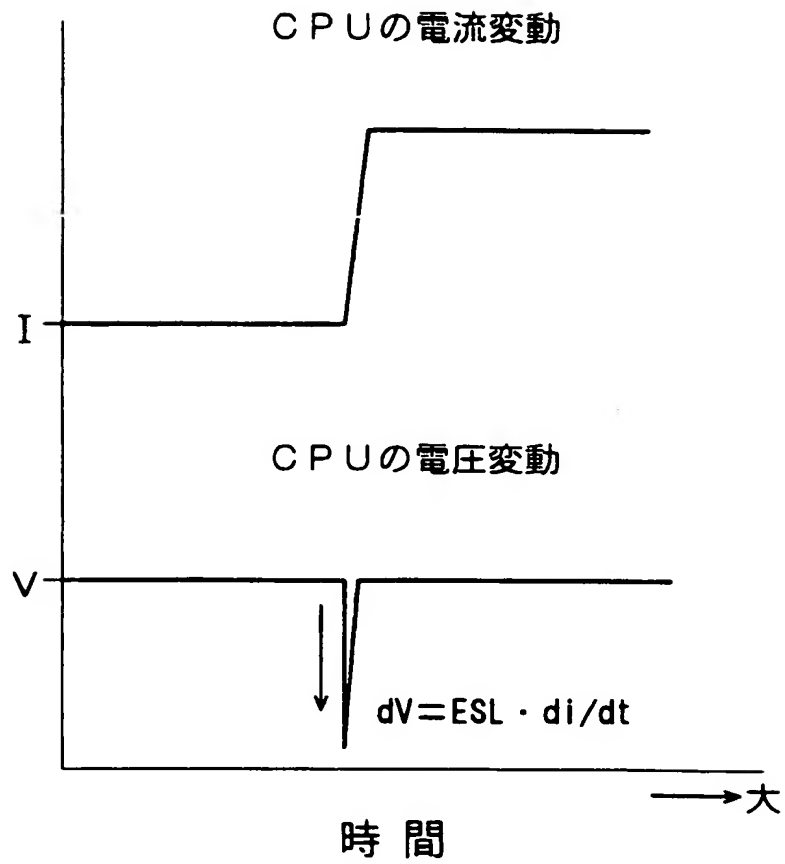


【図 7】

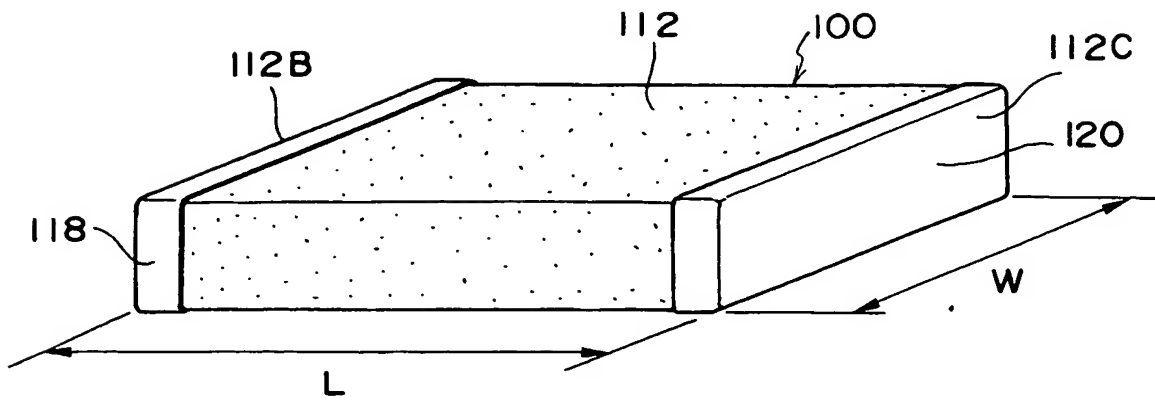


- I : CPUの駆動電流
 I_c : コンデンサからの放電電流
 I_v : 電源からの電流
 C : 静電容量
 ESR : 等価直列抵抗
 ESL : 等価直列インダクタンス

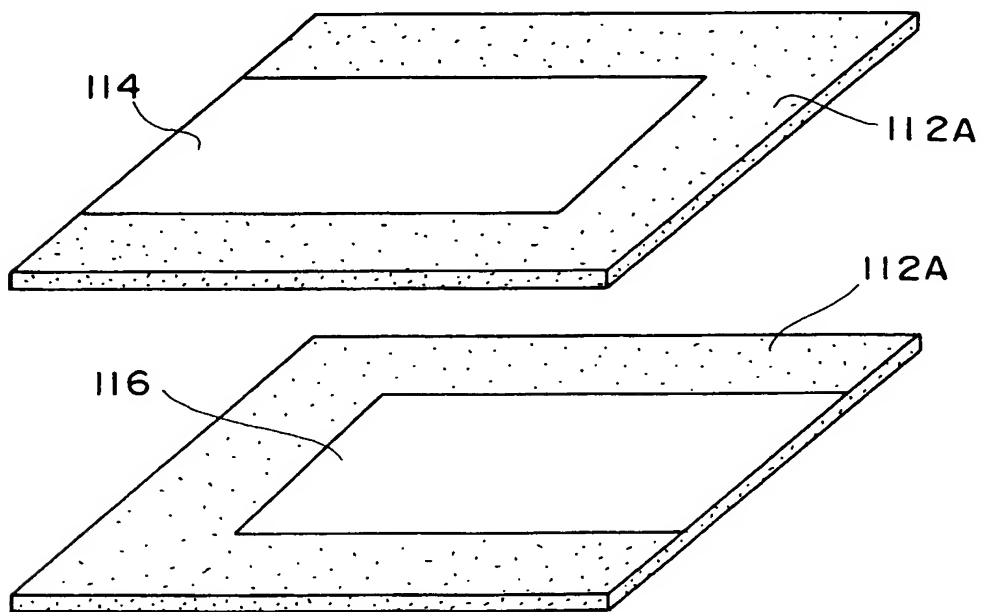
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 積層コンデンサの等価直列インダクタンスを大幅に低減してCPU用の電源の電圧変動を小さくする。

【解決手段】 相互間がセラミック層12Aで隔てられる内部導体14、16が誘電体素体内に配置される。内部導体14、16とセラミック層12Aで隔てられると共に相互間もセラミック層12Aで隔てられる内部導体18、20が誘電体素体内に配置される。各内部導体14～20に切込部22が形成され、切込部22周りの内部導体14の部分を流路部14B～20Bが構成している。セラミック層12Aを介して隣り合っている別の内部導体の流路部との間で相互に逆向きに電流が流れる形に、各流路部14B～20Bがそれぞれ配置されている。

【選択図】 図1

特願 2 0 0 3 - 0 6 6 3 7 4

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 6 7]

1. 変更年月日 1 9 9 0 年 8 月 3 0 日
[変更理由] 新規登録
住 所 東京都中央区日本橋 1 丁目 1 3 番 1 号
氏 名 ティーディーケイ株式会社
2. 変更年月日 2 0 0 3 年 6 月 2 7 日
[変更理由] 名称変更
住 所 東京都中央区日本橋 1 丁目 1 3 番 1 号
氏 名 T D K 株式会社